

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-129477
(43)Date of publication of application : 22.04.2004

(51) Int. Cl.

H02J 13/00
H02H 3/033
H02J 3/00
H03K 17/00

(21)Application number : 2002-365358

(71)Applicant : DAINICHI SEISAKUSHO:KK

(22) Date of filing : 17.12.2002

(72)Inventor : KIKUCHI SHIGEUSA

KIKUCHI SHIGENOSA
NAGASAWA HARUHIKO

(30)Priority

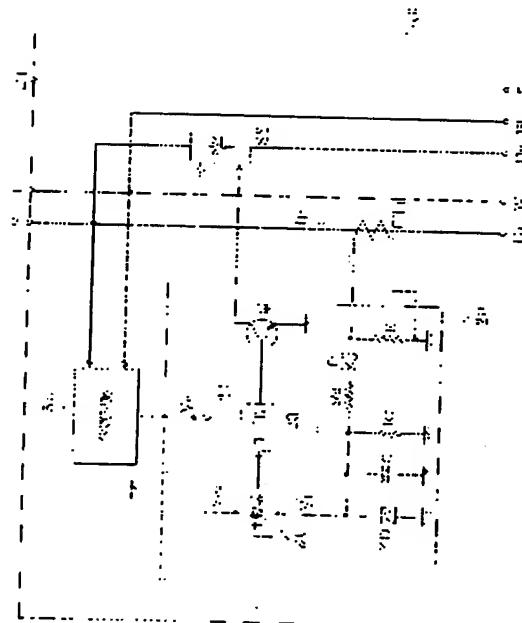
Priority number : 2002221059 Priority date : 30.07.2002 Priority country : IB

(54) LOAD LIMITING DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a load limiting device that can easily achieve necessary and sufficient reliability in operation despite the simplest circuit structure, by detecting a load current at the side of first load terminals to which a higher priority load is connected, among the first and second load terminals, and by controlling the switching of the switching element at the side of the second load terminals.

SOLUTION: This load limiting device is provided with a current detector CT1 that detects a load current I1 at the side of first load terminals U1, W1, a switching element SS that is inserted into the side of the second load terminals U2, W2, and a control circuit 20. This control circuit 20 interrupts the switching element SS when the high-priority load at the side of the first load terminals U1, W1 is used so that the use of a low-priority load at the side of the second load terminals U2, W2 is prohibited forcibly.



LEGAL STATUS

[Date of request for examination] 09.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of which 11 were withdrawn]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1]

The current detector which detects the load current by the side of the 1st and 2nd load terminal which branches from a common power-source input terminal, and said 1st load terminal, It comes to have the control circuit which intercepts said switching element when the load current by the side of the switching element inserted in said 2nd load terminal side and said 1st load terminal is larger than default value. The load limiter characterized by connecting a high priority and the load of low priority at the said 1st and 2nd load terminal, respectively.

[Claim 2]

It is the load limiter according to claim 1 which attaches the current detector which detects the load current by the side of said 2nd load terminal, and is characterized by said control circuit intercepting said switching element on condition that the load current by the side of said 2nd load terminal is larger than default value.

[Claim 3]

Said control circuit is a load limiter according to claim 1 or 2 characterized by making it flow through said switching element when the load current by the side of said 1st load terminal is below default value.

[Claim 4]

For said control circuit, claim 1 characterized by carrying out closing motion control of said switching element through a time lag element thru/or claim 3 are the load limiter of a publication either.

[Claim 5]

Claim 1 characterized by adding the manual switch which forbids the flow of said switching element to said control circuit thru/or claim 4 are the load limiter of a publication either.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]****[Field of the Invention]**

In electric wiring, such as ordinary homes, this invention relates to the load limiter which can intercept the load of low priority automatically, when the load with which priority differs is used for coincidence.

[0002]**[Description of the Prior Art]**

The technique of carrying out auto shutdown of the load of low priority if priority is prepared in the electric appliance connected to the electric wiring of ordinary homes and the load of a high priority is used, making small contract current with an electric power company, and stopping basic power rates low is proposed (JP,11-341707,A).

[0003]

This thing connects a load to each plug socket of electric wiring through a base phone or a slave, and if the load current beyond default value is detected, a base phone will send out a signal to a slave through electric wiring, will make the control relay built in a slave open wide, and will intercept the load of low priority automatically. In addition, a base phone and a slave can decide the combination which serves as a pair mutually to be arbitration by setting up a specific address code, respectively.

[0004]**[Problem(s) to be Solved by the Invention]**

The problem that there is a possibility that the address code set up beforehand is used for a base phone and a slave, they may communicate mutually through the signal made to superimpose on electric wiring, the signal made circuitry not only to become intricately expensive, but to superimpose on electric wiring may reveal them even outside when based on this conventional technique, for example, a slave may carry out unexpected malfunction with the signal from the base phone of a neighboring house is not avoided.

[0005]

Then, the purpose of this invention is to offer the load limiter which can realize required sufficient operational reliability easily, though it is the easiest circuitry by detecting the load current by the side of the 1st load terminal which connects the load of a high priority among the 1st and 2nd load terminal in view of the problem of this conventional technique, and carrying out closing motion control of the switching element by the side of the 2nd load terminal.

[0006]**[Means for Solving the Problem]**

The configuration of this invention for attaining this purpose The current detector which detects the load current by the side of the 1st and 2nd load terminal which branches from a common power-source input terminal, and the 1st load terminal, When the load current by the side of the switching element inserted in a 2nd load terminal side and the 1st load terminal is larger than default value, let it be the summary to come to have the control circuit which intercepts a switching element, and to connect a high priority and the load of low priority to the 1st and 2nd load terminal, respectively.

[0007]

In addition, the current detector which detects the load current by the side of the 2nd load terminal can be attached, and a control circuit can intercept a switching element, on condition that the load current by the side of the 2nd load terminal is larger than default value.

[0008]

Moreover, a control circuit can make it flow through a switching element, when the load current by the side of the 1st load terminal is below default value, and it can carry out closing motion control of the switching element through a time lag element.

[0009]

Furthermore, the manual switch which forbids the flow of a switching element may be added to a control circuit.

[0010]**[Function]**

When based on the configuration of this invention, a high priority and the load of low priority are connected to the 1st and 2nd load terminal, respectively. Then, a current detector detects the load current by the side of the 1st load terminal, i.e., the load current of the load of a high priority, and when it is larger than default value, a control circuit can intercept the switching element by the side of the 2nd load terminal, and can stop the load of low priority automatically. In addition, as for the high priority and the load of low priority which are connected to the 1st and 2nd load terminal, respectively, it is desirable to use the former for example, as induction-heating cookware etc., and to make the latter into for example, an accumulation type electric heater, an electric water heater, etc. each of both is the electric appliances of a large power consumption form, and when it is a short time, even if the time boils the former markedly as compared with the latter, and the latter has a temporary halt by the former use, it is because there is no possibility of producing exceptional trouble.

[0011]

If the current detector which detects the load current by the side of the 2nd load terminal is attached, on condition that the load current by the side of the 2nd load terminal is larger than default value, a control circuit can intercept a switching element, when the load current by the side of the 1st load terminal is larger than default value, for example, when the load of low priority by the side of the 2nd load terminal is an electric water heater, a much more rational load limiting action can be realized. That is, it is because it is not necessary to not necessarily stop the electric water heater by the side of the 2nd load terminal just because the load current by the side of the 1st load terminal became larger than default value, while only the load current of the small current which the heater for the

water heaters of an electric water heater does not energize, but the control equipment for standby consumes was flowing to the 2nd load terminal side.

[0012]

When the load current by the side of the 1st load terminal is below default value, by making it flow through a switching element automatically, a control circuit can return automatically the load of low priority automatically stopped by use of the load of a high priority by half of the load of a high priority, and does not need the exceptional hand reset actuation for a reuse at all. Moreover, by carrying out closing motion control of the switching element through a time lag element, a control circuit can prevent malfunction by a noise etc. and can raise operational reliability. In addition, as for the time limit of a time lag element, it is desirable to set it as extent several or less seconds 0.1 seconds or more in consideration of the operating time of the chief editor breaker which specifies contract current with an electric power company, and the breaker for the branches in an every house panelboard etc.

[0013]

A control circuit can set the load of low priority as a disable by adding a manual switch. It is especially effective, when a device like an electric heater used by limiting seasonally is the load of low priority and the magnet contactor which operates mechanically as a switching element is adopted, since useless flow actuation of a switching element is avoidable.

[0014]

[Embodiment of the Invention]

the following and a drawing -- with -- **** -- the gestalt of implementation of invention is explained.

[0015]

A load limiter 10 is the 1st load terminal [which branches from the common power-source input terminals R and T] U1, W1, and 2nd load terminal U2, and W2. The 1st load terminal U1 and W1 Near current detector CT 1 (current transformer) The 2nd load terminal U2 and W2 It comes to have switching element SS inserted in a side, and a control circuit 20 (drawing 1). In addition, earth terminals E and ET are formed in the load limiter 10.

[0016]

Current detector CT 1 It is led to a control circuit 20, it sets in a control circuit 20, and an output is the resistance R1 of end touch-down. Termination is minded and carried out. resistance R1 the non-grounded side -- the diode D for rectification, and resistance R2 minding -- direct current voltage V1 ***** -- it inputs into a comparator 21 -- having -- **** -- resistance R2 The parallel circuit of the resistance R3 of end touch-down, Capacitor C, and zener diode ZD is connected to the comparator 21 side. In addition, resistance R2 and R3 It is partial pressure resistance and Capacitor C and zener diode ZD are direct current voltage V1, respectively. It is an object for the object for smooth, and voltage limiting. however, resistance R1 from -- a series of circuits which result in zener diode ZD form the current detector 23. Moreover, in a comparator 21, it is direct current voltage V1. The receiving specified voltage Vo1 combines and is inputted.

[0017]

The output of a comparator 21 is connected to the base of the transistor Q of the grounded emitter for an output through the time lag element 22 which uses an integrating circuit. It connects with the gate of switching element SS, and the collector of Transistor Q is the control voltage Vc for the gates in switching element SS. It is supplied.

[0018]

The power circuit 31 for control circuit 20 is included in the load limiter 10. A power circuit 31 inputs the alternating voltage which branches from the power-source input terminals R and T, and is the control voltage Vc for the gates of the object for control circuits 20, and switching element SS. It can supply.

[0019]

In addition, current detector CT 1 The 1st load terminal U1 and W1 One near Rhine is equipped. Moreover, switching element SS is the 2nd load terminal U2 and W2. It is inserted in the serial in one near Rhine.

[0020]

This load limiter 10 connects the power-source input terminals R and T to secondary [of the breaker Bn (n= 1, 2 --n) for the branches of the arbitration in the every house panelboard DB] (drawing 2), and is the 1st load terminal U1 and W1. Load L1 of a high priority It connects and is the 2nd load terminal U2 and W2. Load L2 of low priority It is used connecting. In addition, the chief editor breaker BK which specifies contract current with an electric power company to the every house panelboard DB, the breaker B1 for two or more branches which branches secondary [of the chief editor breaker BK] for two or more wiring networks, and B-2 -- Bn It is contained and single phase 3 line type 200V power source from the external distribution line is supplied to the upstream of the chief editor breaker BK. However, it sets to drawing 2 and they are a breaker B1 and B-2. A network is single phase 100V line, respectively, and is a breaker B3 and Bn. The network is single phase 200V line, respectively. Moreover, a load L1 and L2 The case which is not illustrated is grounded through the earth terminals E and ET of a load limiter 10, respectively.

[0021]

Current detector CT 1 The 1st load terminal U1 and W1 Near load L1 Load current I1 It detects. Then, the comparator 21 of a control circuit 20 is the load current I1. Corresponding direct current voltage V1 It inputs and switching element SS is intercepted through the time lag element 22 and Transistor Q at the time of direct-current-voltage V1 >Vo1. Moreover, a comparator 21 makes it flow through switching element SS at the time of direct-current-voltage V1 <=Vo1. In addition, specified voltage Vo 1> 0 is a load L1. The load current I1 by having been used In order to detect, it is set up appropriately beforehand.

[0022]

Then, the 1st load terminal U1 and W1 Near load L1 While not using it, a control circuit 20 makes it flow through switching element SS continuously, and it is the 2nd load terminal U2 and W2 at this time. Near load L2 It can be used for arbitration and it can be stopped. Namely, load L2 of low priority Load L1 of a high priority It is [condition / use] usable to arbitration.

[0023]

On the other hand, it is a load L1. If used, a control circuit 20 will detect direct-current-voltage V1 >Vo1, and will intercept switching element SS. Namely, load L1 of a high priority When used, a control circuit 20 is the load current I1. It detects that it is larger than the default value Io1 corresponding to specified voltage Vo1, switching element SS is intercepted after the time amount progress of the time limit of the time lag element 22, and it is the load L2 of low priority. Use can be forbidden compulsorily.

[0024]

Moreover, load L1 of a high priority If use is stopped, since it will be set to load current I1 =0, a comparator 21 detects direct-current-voltage V1 =0<Vo1, makes it flow through switching element SS, and carries out an auto return, and it is the load L2 of low priority. It is made usable. That is, a control circuit 20 is the load current I1 which the current detector CT detects. Based on existence, closing motion control of the switching element SS can be carried out through the time lag element 22.

[0025]
 It is now, a load L1, and L2 there. The load current I1 and I2 It carries out and is Breaker Bn. It is Breaker Bn if it is the

rated current I_{bn} . The load L1 which serves as $I_1 + I_2 > I_{bn}$ as long as it is $I_1 < I_{bn}$ and $I_2 < I_{bn}$, and L2 Even if it connects common to secondary, there is no possibility of carrying out a trip according to an overcurrent. Similarly, to the rated current I_{bk} of the chief editor breaker BK, if it is $I_1 < I_{bk}$ and $I_2 < I_{bk}$ even if it is $I_1 + I_2 > I_{bk}$, there will be no possibility that the chief editor breaker BK may carry out a trip according to an overcurrent. That is, a load limiter 10 is the load L1 exceeding contract current with the electric power company specified according to the rated current I_{bk} of the chief editor breaker BK of load current $I_1 + I_2 > I_{bk}$, and L2. It can be made usable convenient. However, the time limit of the time lag element 22 in a control circuit 20 is load current $I_1 + I_2$. It shall set up so that operating time of the breaker B_n which can be set, and the chief editor breaker BK may not be exceeded.

[0026]

In addition, switching element SS may use mechanical switches, such as a magnet contactor besides solid-state-switching components, such as a thyristor and GTO. Moreover, switching element SS is the 2nd load terminal U2 and W2. Both Rhine may be opened and closed to coincidence.

[0027]

[The gestalt of other operations]

The 2nd load terminal U2 and W2 The near load current I2 Current detector CT 2 to detect (current transformer) You may attach (drawing 3). In addition, as for a power circuit 31 and earth terminals ET and ET, illustration is omitted in drawing 3.

[0028]

The control circuit 20 at this time is the 1st load terminal U1 and W1. The near current detector CT 1, the 2nd load terminal U2, and W2 Near current detector CT 2 It has the current detectors 23 and 23 and comparators 21 and 21 which correspond, respectively, and the output of each comparator 21 which combines and inputs specified voltage V_{o1} and V_{o2} , respectively is connected to the time lag element 22 through the gate circuit 24. Moreover, manual switch SW and auxiliary relay X are collector [of the transistor Q for an output] minded, and it is control voltage V_c . It is supplied. On the other hand, among the power-source input terminals R and T, they are Fuse F and the normally open contact X_a of auxiliary relay X. It minds, the magnet contactor RY is connected and switching element SS is the 2nd load terminal U2 and W2. It is the contact of the magnet contactor RY which is intermittent in both Rhine.

[0029]

Current detector CT 1 The near comparator 21 At the time of direct-current-voltage $V_1 > V_{o1}$ Namely, the 1st load terminal U1 and W1 An output is generated at the time of near load current $I_1 > I_{o1}$, and it is the current detector CT 2. The near comparator 21 is the time U2 of direct-current-voltage $V_2 > V_{o2}$, i.e., the 2nd load terminal, and W2. An output is generated at the time of near load current $I_2 > I_{o2}$. However, V_1 and V_2 They are the current detectors [CT / CT and / 2] 1, respectively. It is the direct current voltage from the near current detectors 23 and 23, and I_{o1} and I_{o2} are the load current I_1 and I_2 , respectively. It is default value.

[0030]

On the other hand, a gate circuit 24 makes it flow through Transistor Q, and is made to intercept through the time lag element 22 according to the logical table of drawing 4 using each output of comparators 21 and 21. In addition, if Transistor Q flows, as long as the manual switch SW is thrown in, auxiliary relay X operates and the magnet contactor RY is supplied. That is, a control circuit 20 is the 2nd load terminal U2 and W2. It is the 1st load terminal U1 and W1 a condition [near load current $I_2 > I_{o2}$]. Switching element SS can be intercepted at the time of near load current $I_1 > I_{o1}$. However, even if it intercepts switching element SS and is set to $I_2 <= I_{o2}$, switching element SS shall maintain a cut off state, unless it is set to $I_1 <= I_{o1}$ (display of ON (OFF) of drawing 4). In addition, the load current I_2 Default value I_{o2} is the 2nd load terminal U2 and W2. Load L2 of low priority to connect It shall be set as a suitable value sufficiently smaller than the rated current. Moreover, by opening it, irrespective of the output of a gate circuit 24, a manual switch SW can forbid actuation of auxiliary relay X and the magnet contactor RY, and can forbid the flow of switching element SS.

[0031]

In the above explanation, each control circuit 20 of drawing 1 and drawing 3 may realize actuation of a comparator 21, a gate circuit 24, and the time lag element 22 with the software in a microcomputer.

[0032]

[Effect of the Invention]

As explained above, when the load current by the side of the 1st load terminal which a current detector detects is larger than default value according to this invention, By preparing the control circuit which intercepts the switching element by the side of the 2nd load terminal, a control circuit Since use of the load of low priority by the side of the 2nd load terminal can be forbidden by use of the load of the high priority by the side of the 1st load terminal, without making a signal superimpose on electric wiring Though it is the easiest circuitry, the desired end is attained, and there is outstanding effectiveness that required sufficient operational reliability is easily realizable.

[Brief Description of the Drawings]

[Drawing 1] Whole configuration block schematic diagram

[Drawing 2] Busy condition explanatory view

[Drawing 3] The drawing 1 equivalent Fig. showing the gestalt of other operations

[Drawing 4] The logical table of a gate circuit of operation

[Description of Notations]

R, T -- Power-source input terminal

U1 and W1 -- 1st load terminal

U2 and W2 -- 2nd load terminal

CT1 and CT2 -- current detector

SS -- Switching element

L1 and L2 -- Load

I_1 I_2 -- Load current

I_{o1} , I_{o2} -- Default value

10 -- Load limiter

20 -- Control circuit

22 -- Time lag element

[Translation done.]

*** NOTICES ***

**JPO and NCIPPI are not responsible for any
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Whole configuration block schematic diagram

[Drawing 2] Busy condition explanatory view

[Drawing 3] The drawing 1 equivalent Fig. showing the gestalt of other operations

[Drawing 4] The logical table of a gate circuit of operation

[Description of Notations]

R, T -- Power-source input terminal

U1 and W1 -- 1st load terminal

U2 and W2 -- 2nd load terminal

CT1 and CT2 -- current detector

SS -- Switching element

L1 and L2 -- Load

I1 I2 -- Load current

Io1, Io2 -- Default value

10 -- Load limiter

20 -- Control circuit

22 -- Time lag element

[Translation done.]

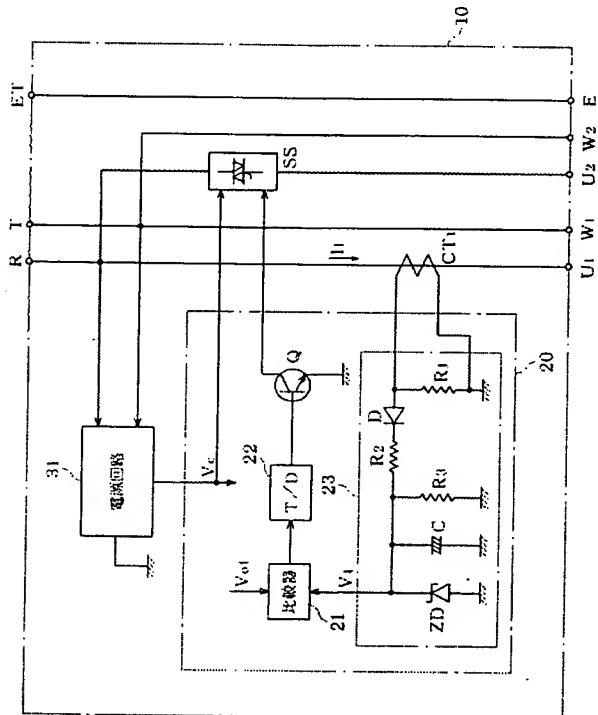
* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

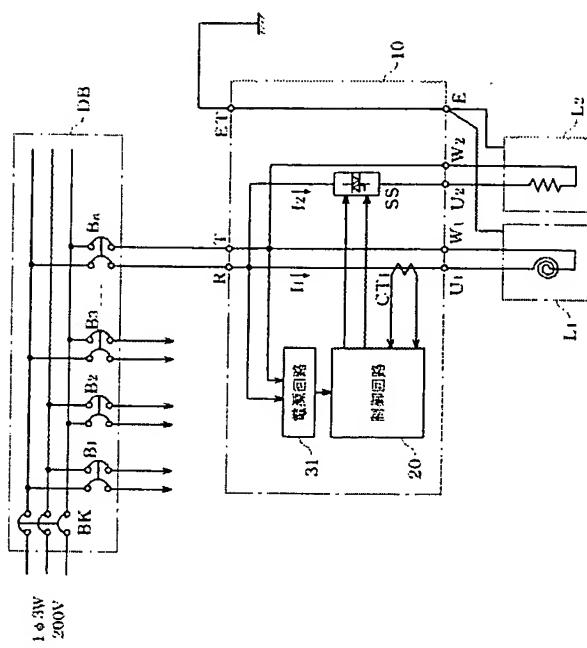
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

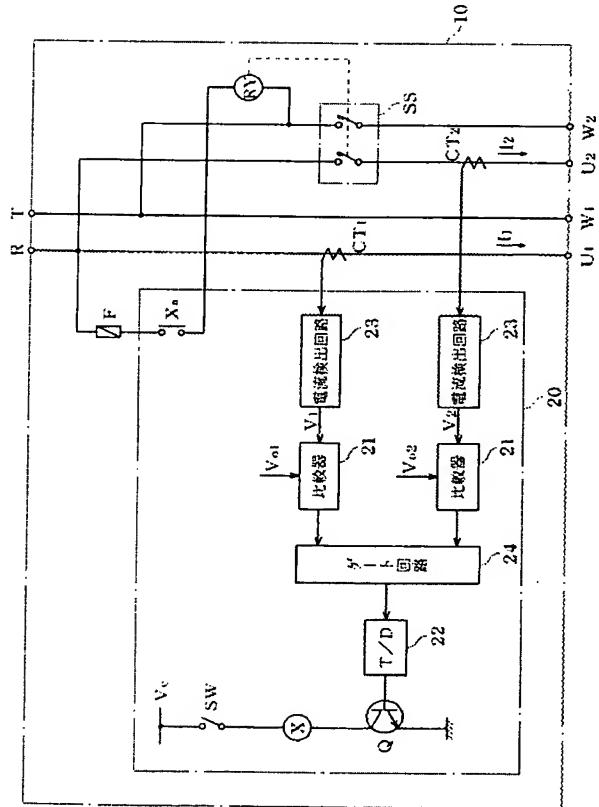
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Drawing 4]

	$I_2 \leq I_{22}$	$I_2 > I_{22}$
$I_1 \leq I_{11}$	ON	ON
$I_1 > I_{11}$	ON(OFF)	OFF

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-129477
 (43)Date of publication of application : 22.04.2004

(51)Int.Cl.

H02J 13/00
 H02H 3/033
 H02J 3/00
 H03K 17/00

(21)Application number : 2002-365358

(71)Applicant : DAINICHI SEISAKUSHO:KK

(22)Date of filing : 17.12.2002

(72)Inventor : KIKUCHI SHIGEHISA
 NAGASAWA HARUHIKO

(30)Priority

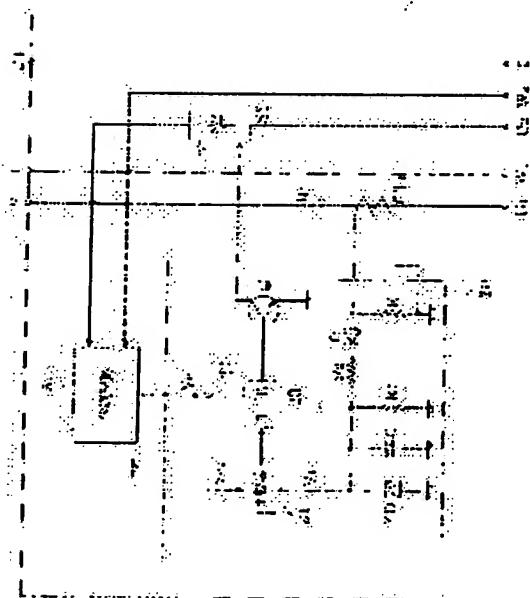
Priority number : 2002221059 Priority date : 30.07.2002 Priority country : JP

(54) LOAD LIMITING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a load limiting device that can easily achieve necessary and sufficient reliability in operation despite the simplest circuit structure, by detecting a load current at the side of first load terminals to which a higher priority load is connected, among the first and second load terminals, and by controlling the switching of the switching element at the side of the second load terminals.

SOLUTION: This load limiting device is provided with a current detector CT1 that detects a load current I_1 at the side of first load terminals U1, W1, a switching element SS that is inserted into the side of the second load terminals U2, W2, and a control circuit 20. This control circuit 20 interrupts the switching element SS when the high-priority load at the side of the first load terminals U1, W1 is used so that the use of a low-priority load at the side of the second load terminals U2, W2 is prohibited forcibly.



LEGAL STATUS

[Date of request for examination] 09.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特願2004-129477
(P2004-129477A)

(43) 公開日 平成16年4月22日(2004. 4. 22)

(51) Int. Cl. 7

H02J 13/00
H02H 3/033
H02J 3/00
H03K 17/00

F I

H02J 13/00 311T
H02H 3/033 B
H02J 3/00 D
H03K 17/00 L

テーマコード(参考)

5G064

5G066

5J055

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2002-365358 (P2002-365358)
 (22) 出願日 平成14年12月17日 (2002. 12. 17)
 (31) 優先権主張番号 特願2002-221059 (P2002-221059)
 (32) 優先日 平成14年7月30日 (2002. 7. 30)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 592218377
株式会社大日製作所
石川県石川郡野々市町扇が丘1番1号
 (74) 代理人 100090712
弁理士 松田 忠秋
 (72) 発明者 菊地 茂久
石川県石川郡野々市町扇が丘1番1号 株式会社大日製作所内
 (72) 発明者 長沢 春彦
石川県石川郡野々市町扇が丘1番1号 株式会社大日製作所内
 Fターム(参考) 5G064 AB05 AC06 AC09 CB08 CB11
DA07
5G066 LA03

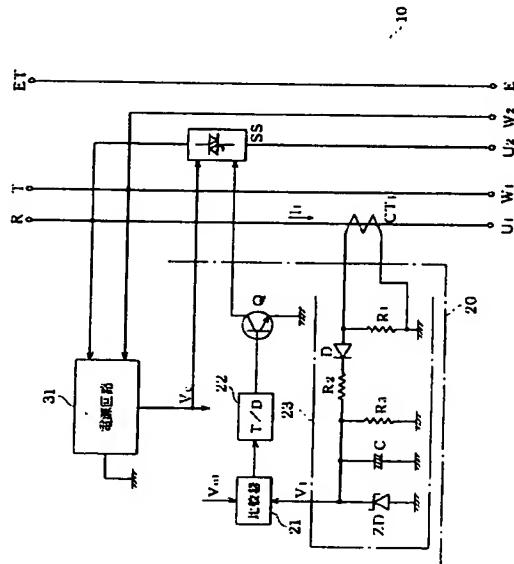
最終頁に続く

(54) 【発明の名称】負荷制限装置

(57) 【要約】

【課題】回路構成を簡単にして動作信頼性を高める。
 【解決手段】第1の負荷端子U1、W1側の負荷電流I1を検出する電流検出器C T1と、第2の負荷端子U2、W2側に挿入するスイッチング素子SSと、制御回路20とを設ける。
 制御回路20は、第1の負荷端子U1、W1側の高優先順位の負荷が使用されると、スイッチング素子SSを遮断して、第2の負荷端子U2、W2側の低優先順位の負荷を強制的に使用禁止にする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

共通の電源入力端子から分岐する第1、第2の負荷端子と、前記第1の負荷端子側の負荷電流を検出する電流検出器と、前記第2の負荷端子側に挿入するスイッチング素子と、前記第1の負荷端子側の負荷電流が規定値より大きいとき前記スイッチング素子を遮断する制御回路とを備えてなり、前記第1、第2の負荷端子には、それぞれ高優先順位、低優先順位の負荷を接続することを特徴とする負荷制限装置。

【請求項 2】

前記第2の負荷端子側の負荷電流を検出する電流検出器を付設し、前記制御回路は、前記第2の負荷端子側の負荷電流が規定値より大きいことを条件にして前記スイッチング素子を遮断することを特徴とする請求項1記載の負荷制限装置。 10

【請求項 3】

前記制御回路は、前記第1の負荷端子側の負荷電流が規定値以下であるとき前記スイッチング素子を導通させることを特徴とする請求項1または請求項2記載の負荷制限装置。

【請求項 4】

前記制御回路は、時間遅れ要素を介して前記スイッチング素子を開閉制御することを特徴とする請求項1ないし請求項3のいずれか記載の負荷制限装置。

【請求項 5】

前記制御回路には、前記スイッチング素子の導通を禁止する手動スイッチを附加することを特徴とする請求項1ないし請求項4のいずれか記載の負荷制限装置。 20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、一般家庭等の電気配線において、優先順位が異なる負荷が同時に使用される場合、低優先順位の負荷を自動的に遮断することができる負荷制限装置に関する。

【0002】**【従来の技術】**

一般家庭の電気配線に接続される電気器具に優先順位を設け、高優先順位の負荷が使用されると低優先順位の負荷を自動遮断し、電力会社との契約電流を小さくして基本電力料金を低く抑える技術が提案されている（特開平11-341707号公報）。 30

【0003】

このものは、親器または子器を介して電気配線の各コンセントに負荷を接続し、親器は、規定値以上の負荷電流を検出すると、電気配線を介して子器に信号を送出し、子器に内蔵する制御リレーを開放させて低優先順位の負荷を自動的に遮断する。なお、親器、子器は、それぞれ特定のアドレスコードを設定することにより、互いにペアとなる組合せを任意に決めることができる。

【0004】**【発明が解決しようとする課題】**

かかる従来技術によるときは、親器、子器は、あらかじめ設定されるアドレスコードを使用して、電気配線に重複させる信号を介して互いに交信する必要があり、回路構成が複雑高価になるばかりでなく、電気配線に重複させる信号が外部にまで漏洩し、たとえば隣家の親器からの信号によって子器が思わぬ誤動作をしてしまうおそれがあるという問題が避けられない。

【0005】

そこで、この発明の目的は、かかる従来技術の問題に鑑み、第1、第2の負荷端子のうち、高優先順位の負荷を接続する第1の負荷端子側の負荷電流を検出して第2の負荷端子側のスイッチング素子を開閉制御することによって、最も簡単な回路構成でありながら、必要十分な動作信頼性を容易に実現することができる負荷制限装置を提供することにある。

【0006】**【課題を解決するための手段】**

10

20

30

40

50

かかる目的を達成するためのこの発明の構成は、共通の電源入力端子から分岐する第1、第2の負荷端子と、第1の負荷端子側の負荷電流を検出する電流検出器と、第2の負荷端子側に挿入するスイッチング素子と、第1の負荷端子側の負荷電流が規定値より大きいときスイッチング素子を遮断する制御回路とを備えてなり、第1、第2の負荷端子には、それぞれ高優先順位、低優先順位の負荷を接続することをその要旨とする。

【0007】

なお、第2の負荷端子側の負荷電流を検出する電流検出器を付設し、制御回路は、第2の負荷端子側の負荷電流が規定値より大きいことを条件にしてスイッチング素子を遮断することができる。

【0008】

また、制御回路は、第1の負荷端子側の負荷電流が規定値以下であるときスイッチング素子を導通させることができ、時間遅れ要素を介してスイッチング素子を開閉制御することができる。

【0009】

さらに、制御回路には、スイッチング素子の導通を禁止する手動スイッチを付加してもよい。

【0010】

【作用】

かかる発明の構成によるときは、第1、第2の負荷端子には、それぞれ高優先順位、低優先順位の負荷が接続される。そこで、電流検出器は、第1の負荷端子側の負荷電流、すなわち高優先順位の負荷の負荷電流を検出し、制御回路は、それが規定値より大きいとき、第2の負荷端子側のスイッチング素子を遮断して低優先順位の負荷を自動的に停止させることができる。なお、第1、第2の負荷端子にそれぞれ接続する高優先順位、低優先順位の負荷は、前者をたとえば誘導加熱調理器具などとし、後者をたとえば蓄熱式電気暖房器や電気温水器などとすることが好ましい。両者は、いずれも大電力消費形の電気器具であり、前者は、後者に比して、その使用時間が格段に短時間である上、後者は、前者の使用による一時的な停止があっても、格別な支障を生じるおそれがないからである。

【0011】

第2の負荷端子側の負荷電流を検出する電流検出器を付設すれば、制御回路は、第2の負荷端子側の負荷電流が規定値より大きいことを条件にして、第1の負荷端子側の負荷電流が規定値より大きいときスイッチング素子を遮断することができ、たとえば、第2の負荷端子側の低優先順位の負荷が電気温水器である場合、一層合理的な負荷制限動作を実現することができる。すなわち、電気温水器の湯沸し用のヒータが通電されておらず、待機用の制御機器が消費する小電流の負荷電流しか第2の負荷端子側に流れていなければ、第1の負荷端子側の負荷電流が規定値より大きくなつたからといって、第2の負荷端子側の電気温水器を必ずしも停止させる必要がないからである。

【0012】

制御回路は、第1の負荷端子側の負荷電流が規定値以下であるとき、スイッチング素子を自動的に導通させることにより、高優先順位の負荷の使用によって自動的に停止させられた低優先順位の負荷を、高優先順位の負荷の停止により自動的に復帰させることができ、再使用のための格別な手動復帰操作を何ら必要としない。また、制御回路は、時間遅れ要素を介してスイッチング素子を開閉制御することにより、ノイズなどによる誤動作を防止して、動作信頼性を向上させることができる。なお、時間遅れ要素の时限は、電力会社との契約電流を規定する主幹ブレーカや、各戸分電盤内のブランチ用のブレーカの作動時間等を考慮して、0.1秒以上数秒以下程度に設定することが好ましい。

【0013】

制御回路は、手動スイッチを付加することにより、低優先順位の負荷を使用禁止に設定することができる。電気暖房器のような季節的に限定して使用される機器が低優先順位の負荷である場合、スイッチング素子の無駄な導通動作を避けることができるから、スイッチング素子として機械的に動作するマグネットコンタクタなどを採用するとき、特に有効で

10

20

30

40

50

ある。

【0014】

【発明の実施の形態】

以下、図面を以って発明の実施の形態を説明する。

【0015】

負荷制限装置10は、共通の電源入力端子R、Tから分岐する第1の負荷端子U1、W1、第2の負荷端子U2、W2と、第1の負荷端子U1、W1側の電流検出器(変流器)CT1と、第2の負荷端子U2、W2側に挿入するスイッチング素子SSと、制御回路20とを備えてなる(図1)。なお、負荷制限装置10には、接地端子ETが設けられている。

10

【0016】

電流検出器CT1の出力は、制御回路20に導かれ、制御回路20内において、一端接地の抵抗R1を介して終端されている。抵抗R1の非接地側は、整流用のダイオードD、抵抗R2を介し、直流電圧V1として比較器21に入力されており、抵抗R2の比較器21側には、一端接地の抵抗R3、コンデンサC、ツェナダイオードZDの並列回路が接続されている。なお、抵抗R2、R3は、分圧抵抗であり、コンデンサC、ツェナダイオードZDは、それぞれ直流電圧V1の平滑用、電圧制限用である。ただし、抵抗R1からツェナダイオードZDに至る一連の回路は、電流検出回路23を形成している。また、比較器21には、直流電圧V1に対する規定電圧V01が併せ入力されている。

20

【0017】

比較器21の出力は、たとえば積分回路を使用する時間遅れ要素22を介し、出力用のエミッタ接地のトランジスタQのベースに接続されている。トランジスタQのコレクタは、スイッチング素子SSのゲートに接続されており、スイッチング素子SSには、ゲート用の制御電圧Vcが供給されている。

【0018】

負荷制限装置10には、制御回路20用の電源回路31が組み込まれている。電源回路31は、電源入力端子R、Tから分岐する交流電圧を入力し、制御回路20用、スイッチング素子SSのゲート用の制御電圧Vcを供給することができる。

30

【0019】

なお、電流検出器CT1は、第1の負荷端子U1、W1側の一方のラインに装着されている。また、スイッチング素子SSは、第2の負荷端子U2、W2側の一方のラインに直列に挿入されている。

【0020】

かかる負荷制限装置10は、電源入力端子R、Tを各戸分電盤DB内の任意のプランチ用のブレーカBn(n=1、2…n)の二次側に接続し(図2)、第1の負荷端子U1、W1に高優先順位の負荷L1を接続し、第2の負荷端子U2、W2に低優先順位の負荷L2を接続して使用する。なお、各戸分電盤DBには、電力会社との契約電流を規定する主幹ブレーカBKと、主幹ブレーカBKの二次側を複数の配線系統に分岐する複数のプランチ用のブレーカB1、B2…Bnとが収納されており、主幹ブレーカBKの一次側には、外部配電線からの単相3線式200V電源が供給されている。ただし、図2において、ブレーカB1、B2の系統は、それぞれ単相100V系統であり、ブレーカB3、Bnの系統は、それぞれ単相200V系統となっている。また、負荷L1、L2の図示しない筐体は、それぞれ負荷制限装置10の接地端子ETを介して接地されている。

40

【0021】

電流検出器CT1は、第1の負荷端子U1、W1側の負荷L1の負荷電流I1を検出する。そこで、制御回路20の比較器21は、負荷電流I1に相当する直流電圧V1を入力し、直流電圧V1 > V01のとき、時間遅れ要素22、トランジスタQを介してスイッチング素子SSを遮断する。また、比較器21は、直流電圧V1 ≤ V01

50

のとき、スイッチング素子SSを導通させる。なお、規定電圧 $V_{o1} > 0$ は、負荷L1が使用されたことによる負荷電流 I_1 を検出するために、あらかじめ適切に設定されている。

【0022】

そこで、第1の負荷端子U1、W1側の負荷L1を使用していないとき、制御回路20は、スイッチング素子SSを継続的に導通させ、このとき、第2の負荷端子U2、W2側の負荷L2は、任意に使用し、停止させることができる。すなわち、低優先順位の負荷L2は、高優先順位の負荷L1が使用されていないことを条件として、任意に使用可能である。

【0023】

一方、負荷L1が使用されると、制御回路20は、直流電圧 $V_1 > V_{o1}$ を検出してスイッチング素子SSを遮断する。すなわち、高優先順位の負荷L1が使用されると、制御回路20は、負荷電流 I_1 が規定電圧 V_{o1} に対応する規定値 I_{o1} より大きいことを検出し、時間遅れ要素22の時限相当の時間経過の後にスイッチング素子SSを遮断し、低優先順位の負荷L2の使用を強制的に禁止することができる。

【0024】

また、高優先順位の負荷L1の使用を中止すると、負荷電流 $I_1 = 0$ となるから、比較器21は、直流電圧 $V_1 = 0 < V_{o1}$ を検出してスイッチング素子SSを導通させて自動復帰させ、低優先順位の負荷L2を使用可能にする。すなわち、制御回路20は、電流検出器CTが検出する負荷電流 I_1 の有無に基づき、時間遅れ要素22を介してスイッチング素子SSを開閉制御することができる。

【0025】

そこで、いま、負荷L1、L2の負荷電流 I_1 、 I_2 とし、ブレーカBnの定格電流 I_{bn} とすると、ブレーカBnは、 $I_1 < I_{bn}$ 、 $I_2 < I_{bn}$ である限り、 $I_1 + I_2 > I_{bn}$ となるような負荷L1、L2が二次側に共通に接続されても、過電流によってトリップするおそれがない。同様に、主幹ブレーカBKの定格電流 I_{bk} に対して $I_1 + I_2 > I_{bk}$ であっても、 $I_1 < I_{bk}$ 、 $I_2 < I_{bk}$ であれば、主幹ブレーカBKが過電流によってトリップするおそれがない。すなわち、負荷制限装置10は、主幹ブレーカBKの定格電流 I_{bk} によって規定される電力会社との契約電流を超える負荷電流 $I_1 + I_2 > I_{bk}$ の負荷L1、L2を支障なく使用可能にすることができる。ただし、制御回路20内の時間遅れ要素22の時限は、負荷電流 $I_1 + I_2$ におけるブレーカBn、主幹ブレーカBKの作動時間を超えないよう設定するものとする。

【0026】

なお、スイッチング素子SSは、サイリスタ、GTOなどの半導体スイッチング素子の他、マグネットコンタクタなどのメカニカルスイッチを使用してもよい。また、スイッチング素子SSは、第2の負荷端子U2、W2の双方のラインを同時に開閉してもよい。

【0027】

【他の実施の形態】

第2の負荷端子U2、W2側の負荷電流 I_2 を検出する電流検出器（変流器）CT2を付設してもよい（図3）。なお、図3において、電源回路31と、接地端子ET、ETは、図示が省略されている。

【0028】

このときの制御回路20は、第1の負荷端子U1、W1側の電流検出器CT1、第2の負荷端子U2、W2側の電流検出器CT2にそれぞれ対応する電流検出回路23、23、比較器21、21を有し、それぞれ規定電圧 V_{o1} 、 V_{o2} を併せ入力する各比較器21の出力は、ゲート回路24を介して時間遅れ要素22に接続されている。また、出力用のトランジスタQのコレクタ側には、手動スイッチSW、補助リレーXを介して制御電圧 V_c が供給されている。一方、電源入力端子R、Tの間には、ヒューズF、補助リレーXの常開接点Xaを介してマグネットコンタクタRYが接続されており、スイ

スイッチング素子SSは、第2の負荷端子U2、W2の双方のラインを断続するマグネットコンタクタRYの接点となっている。

【0029】

電流検出器CT1側の比較器21は、直流電圧V1 > Vo1のとき、すなわち、第1の負荷端子U1、W1側の負荷電流I1 > Io1のとき出力を発生し、電流検出器CT2側の比較器21は、直流電圧V2 > Vo2のとき、すなわち、第2の負荷端子U2、W2側の負荷電流I2 > Io2のとき出力を発生する。ただし、V1、V2は、それぞれ電流検出器CT1、CT2側の電流検出回路23、23からの直流電圧であり、Io1、Io2は、それぞれ負荷電流I1、I2の規定値である。

【0030】

一方、ゲート回路24は、比較器21、21の各出力を利用して、図4の論理表に従って、時間遅れ要素22を介してトランジスタQを導通させ、遮断させる。なお、トランジスタQが導通すれば、手動スイッチSWが投入されている限り、補助リレーXが作動し、マグネットコンタクタRYが投入される。すなわち、制御回路20は、第2の負荷端子U2、W2側の負荷電流I2 > Io2を条件として、第1の負荷端子U1、W1側の負荷電流I1 > Io1のときスイッチング素子SSを遮断することができる。ただし、スイッチング素子SSを遮断してI2 ≤ Io2となっても、スイッチング素子SSは、I1 ≤ Io1とならない限り、遮断状態を維持するものとする（図4のON(OFF)の表示）。なお、負荷電流I2の規定値Io2は、第2の負荷端子U2、W2に接続する低優先順位の負荷L2の定格電流より十分小さい適切な値に設定するものとする。また、手動スイッチSWは、それを開くことにより、ゲート回路24の出力に拘らず、補助リレーX、マグネットコンタクタRYの作動を禁止し、スイッチング素子SSの導通を禁止することができる。

【0031】

以上の説明において、図1、図3の各制御回路20は、比較器21、ゲート回路24、時間遅れ要素22の動作をマイクロコンピュータ内のソフトウェアによって実現してもよい。

【0032】

【発明の効果】

以上説明したように、この発明によれば、電流検出器が検出する第1の負荷端子側の負荷電流が規定値より大きいとき、第2の負荷端子側のスイッチング素子を遮断する制御回路を設けることによって、制御回路は、電気配線に信号を重複させることなく、第1の負荷端子側の高優先順位の負荷の使用により第2の負荷端子側の低優先順位の負荷の使用を禁止することができるから、最も簡単な回路構成でありながら所期の目的を達成し、必要十分な動作信頼性を容易に実現することができるという優れた効果がある。

【図面の簡単な説明】

【図1】全体構成ブロック系統図

【図2】使用状態説明図

【図3】他の実施の形態を示す図1相当図

【図4】ゲート回路の動作論理表

【符号の説明】

R、T…電源入力端子

U1、W1…第1の負荷端子

U2、W2…第2の負荷端子

CT1、CT2…電流検出器

SS…スイッチング素子

L1、L2…負荷

I1、I2…負荷電流

Io1、Io2…規定値

10…負荷制限装置

10

20

30

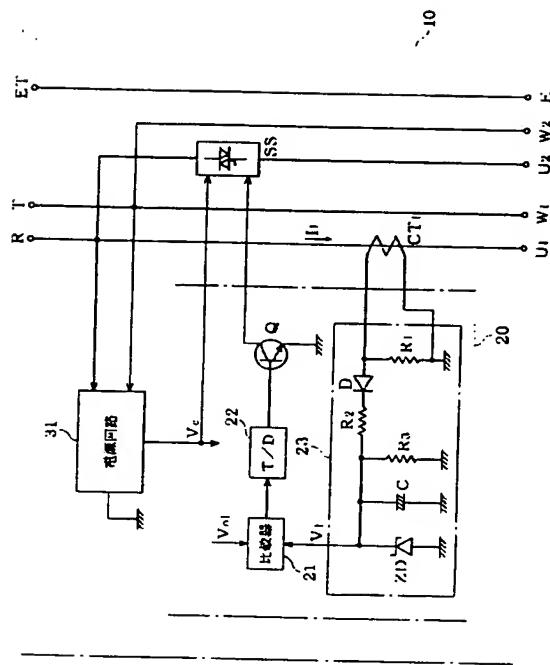
40

50

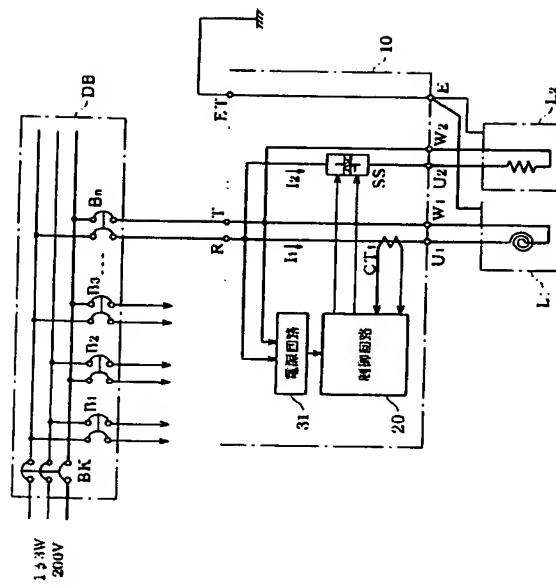
20…制御回路

22…時間遅れ要素

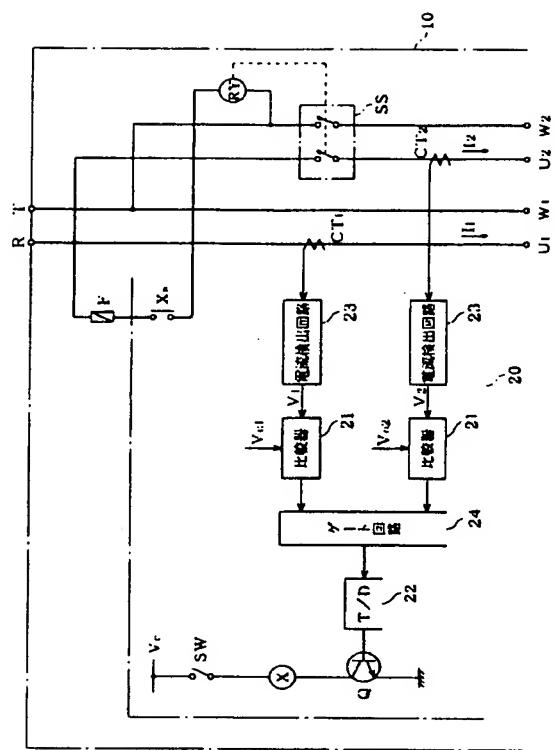
【図1】



【図2】



【図3】



【図4】

	$I_2 \leq I_{o2}$	$I_2 > I_{o2}$
$I_1 \leq I_{o1}$	ON	ON
$I_1 > I_{o1}$	ON(OFF)	OFF

フロントページの続き

F ターム(参考) 5J055 AX00 AX22 BX12 CX07 CX18 DX31 DX33 EX02 EX06 EY01
EY05 EY10 EY13 EY17 EZ10 EZ42 EZ43 EZ48 EZ50 EZ51
FX04 FX18 FX19 FX38 GX00 GX01 GX02